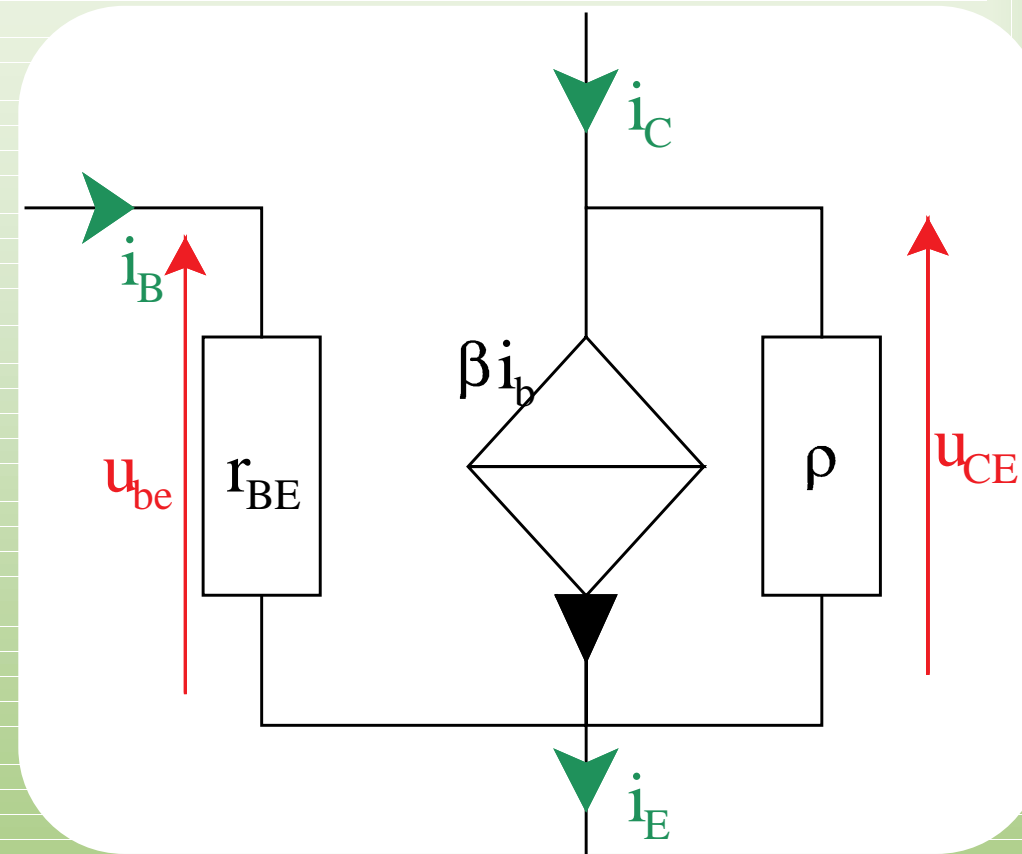
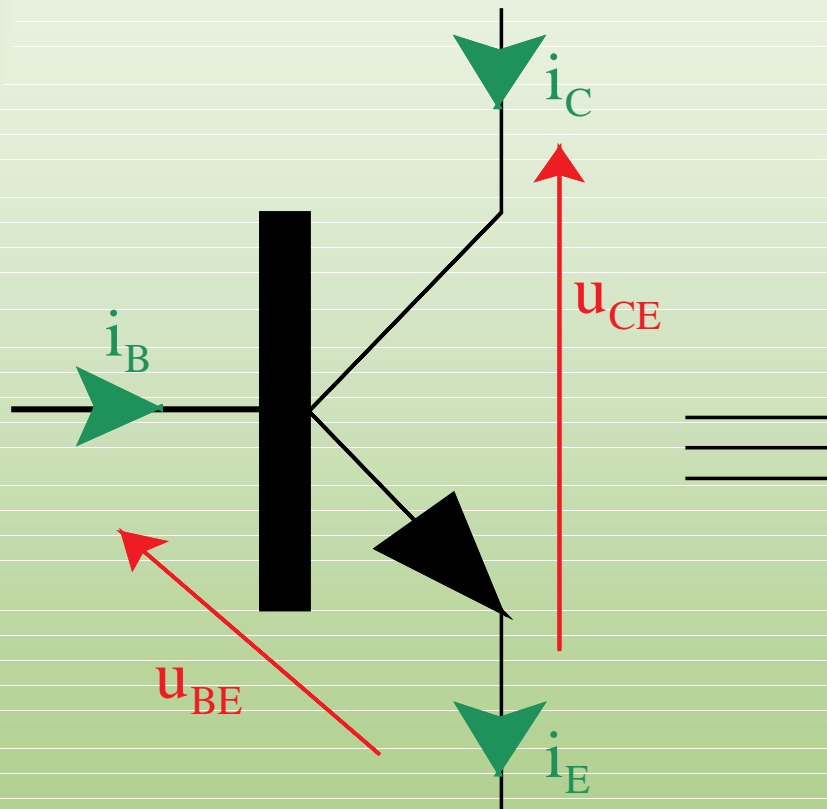


7ème leçon : Le transistor à effet de champ à grille isolée : le MOSFET

- **I. MOS à enrichissement**
 - Structure et symbole
 - Comportement du MOSFET
 - » Régime linéaire ou ohmique
 - » Régime saturé ou transistor
 - Courbes caractéristiques
- **II. L'amplification avec un MOSFET.**
 - Schéma équivalent petits signaux
- **III. MOS à appauvrissement**
- **IV. Portes logiques à transistors MOS**
 - NMOS
 - CMOS

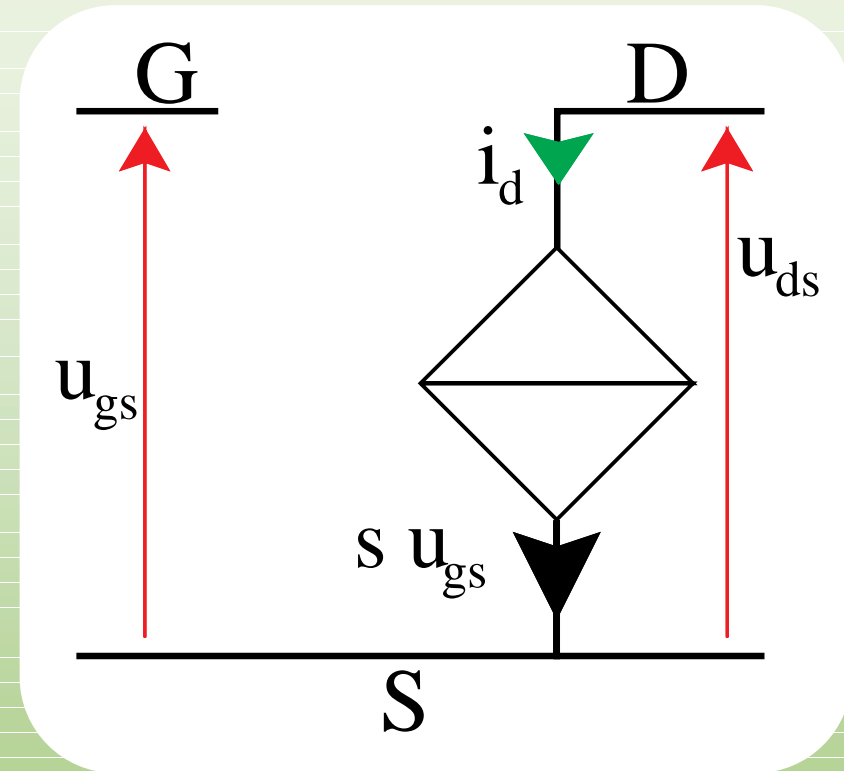
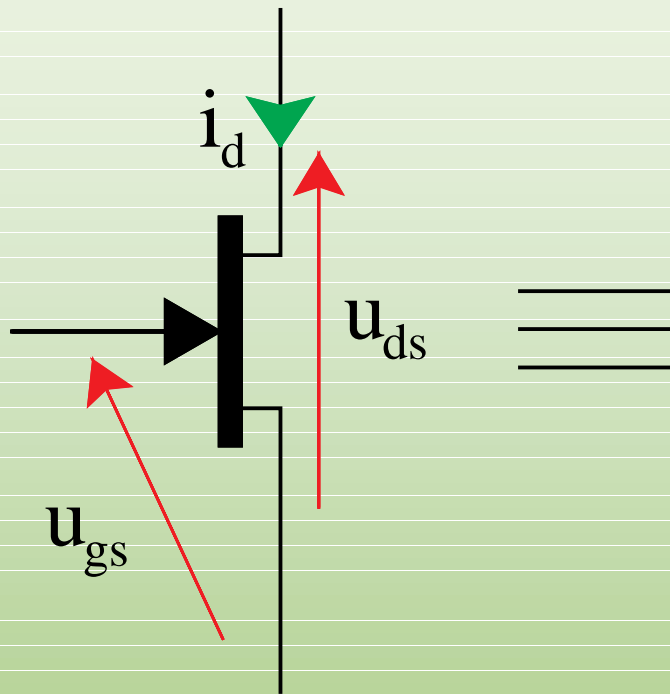
Rappel n°1 : Le bipolaire NPN

- **Générateur de courant commandé par un courant**
Diode passante en entrée



Rappel n°2 : Le JFET à canal N

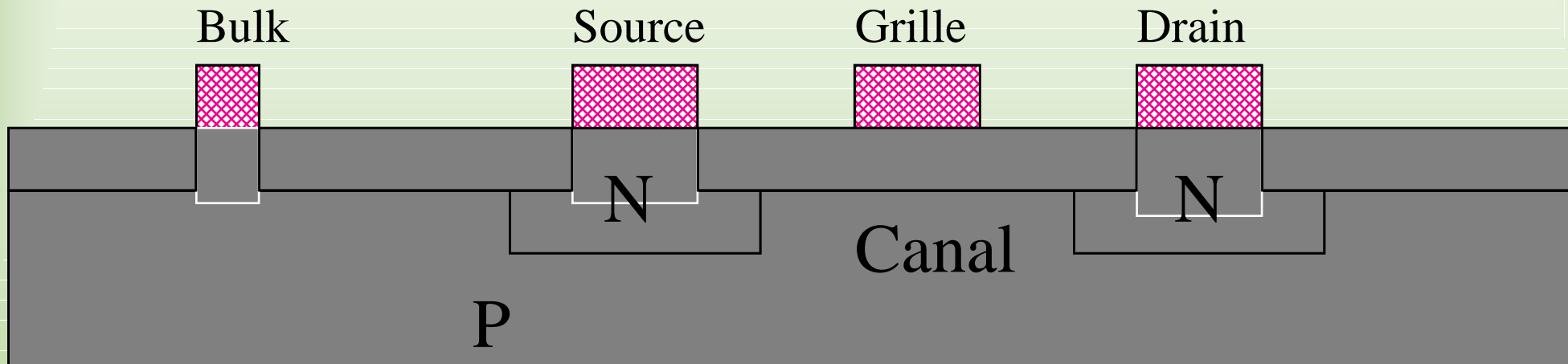
- **Générateur de courant commandé par une tension**
Diode bloquée en entrée



i_D dépend de la géométrie du canal,
modifiée par la zone de déplétion de la diode bloquée.

Transistor MOS à enrichissement (Metal Oxide Semiconductor)

- **Structure en surface (planar) :**
"facile" à fabriquer en grand nombre



■ Isolant (Silice SiO₂)

■ Métal

■ Semiconducteur dopé P

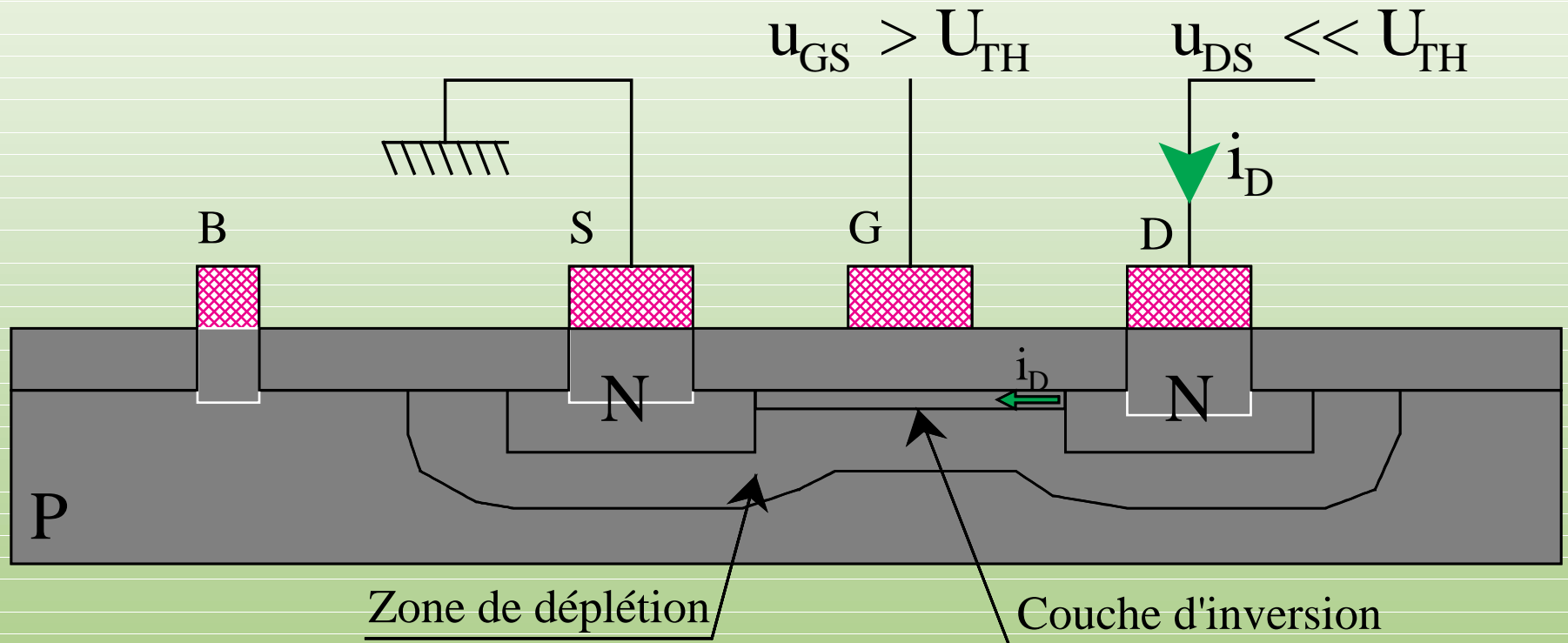
■ Semiconducteur dopé N

Enrichissement (canal N)

- Par défaut, une telle structure a une résistance infinie ($R_{DS} = 10 \text{ G}\Omega$).
Si une tension est appliquée, $u_{DS} \neq 0$, l'une des deux diodes substrat-source ou substrat-drain se bloque.
- Pourtant, si on applique une tension de grille u_{GS} , le champ électrique créé sous la grille chasse les trous du substrat et attire les électrons.
- Si $u_{GS} > U_{TH}$, la tension de seuil, une "couche d'inversion" se forme, qui constitue le canal, R_{DS} diminue rapidement. Le canal se forme par "enrichissement" en électrons.

Régime Ohmique (résistance)

- Si u_{DS} n'est pas trop élevée, $u_{DS} \ll U_{TH}$, alors R_{DS} dépend du nombre de porteurs dans le canal, attirés par u_{GS} .



Résistance variable

- En régime ohmique, R_{DS} diminue si u_{GS} augmente

$$R_{DS} = \frac{R_{DS0}}{\frac{u_{GS}}{U_{TH}} - 1}$$

avec $|u_{DS}| \ll |U_{TH}|$

et $|u_{GS}| > |U_{TH}|$

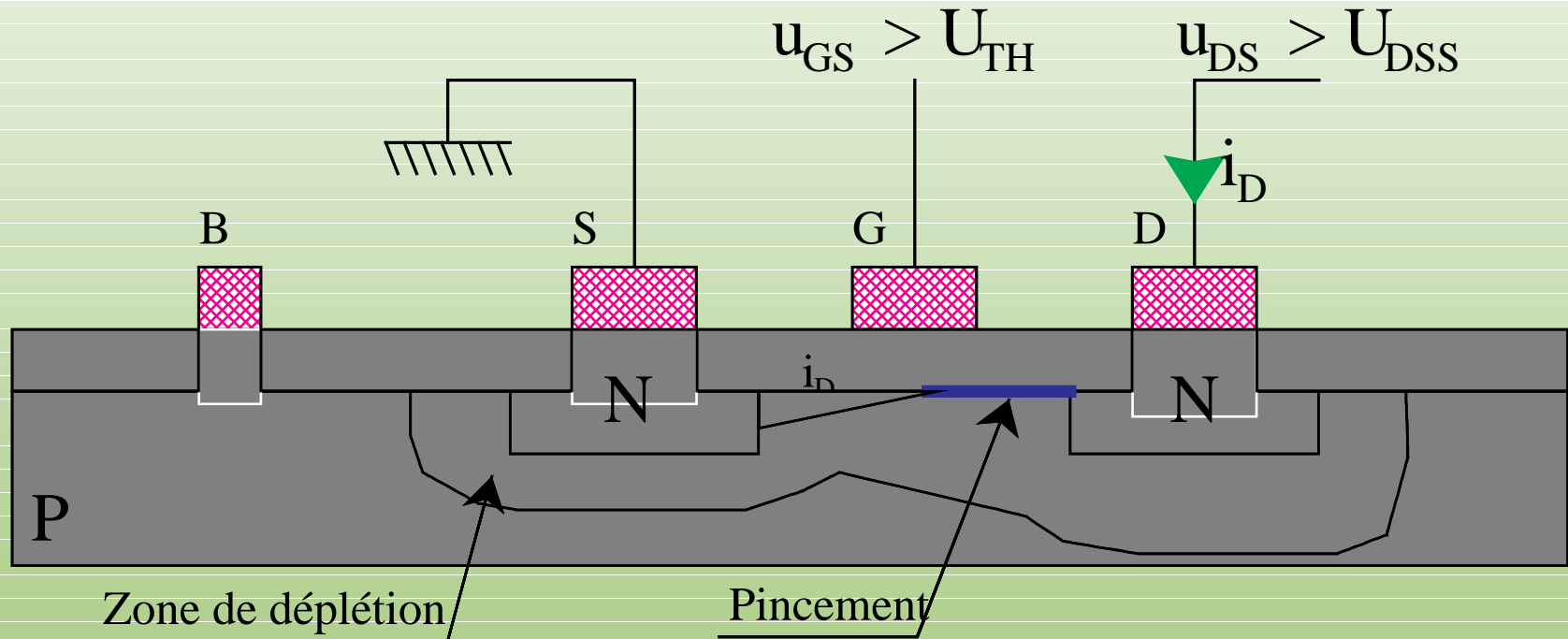
R_{DS} est quasi infinie si $u_{GS} \sim U_{TH}$

Remarque : la conductance du canal dépend linéairement de u_{GS} .

$$G_{DS} = G_{DS0} \left(\frac{u_{GS}}{U_{TH}} - 1 \right)$$

Régime pincé (transistor)

- Si u_{DS} suffit à dépolariser une partie de la capacité M-O-S
La couche d'inversion disparaît coté drain.
- Les porteurs franchissent l'obstacle par effet tunnel.
 u_{GS} contrôle directement le nombre de porteurs dans le canal (# JFET)



Le MOS comme transistor

- Le nombre de porteurs du canal augmente avec u_{GS} , donc le courant de drain i_D aussi.

$$i_D = I_{DSS} \left(\left| \frac{u_{GS}}{U_{TH}} \right| - 1 \right)^2$$

avec $|u_{DS}| > |U_{TH}|$

et $|u_{GS}| > |U_{TH}|$

Le "gain" du transistor MOS

- La transconductance $g_m = s$ est la pente de $i_D(u_{GS})$
 g_m dépend du point de repos (I_D, U_{GS})

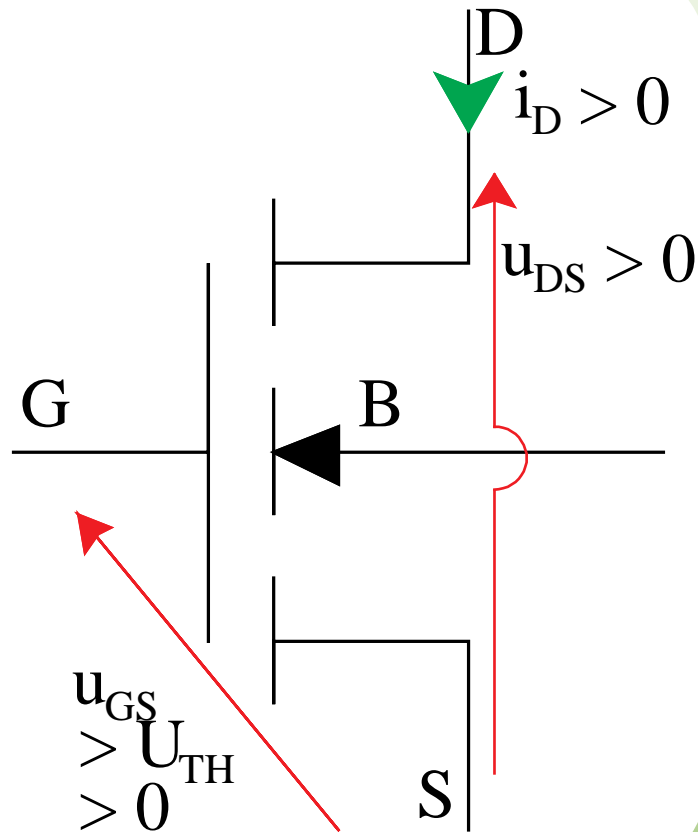
$$g_m = s = \frac{\partial i_D}{\partial u_{GS}} = \frac{i_D}{u_{GS}} = 2 \frac{\sqrt{I_D I_{DSS}}}{U_{TH}}$$

Il est possible d'augmenter le gain en augmentant I_D ,
le courant de drain au repos

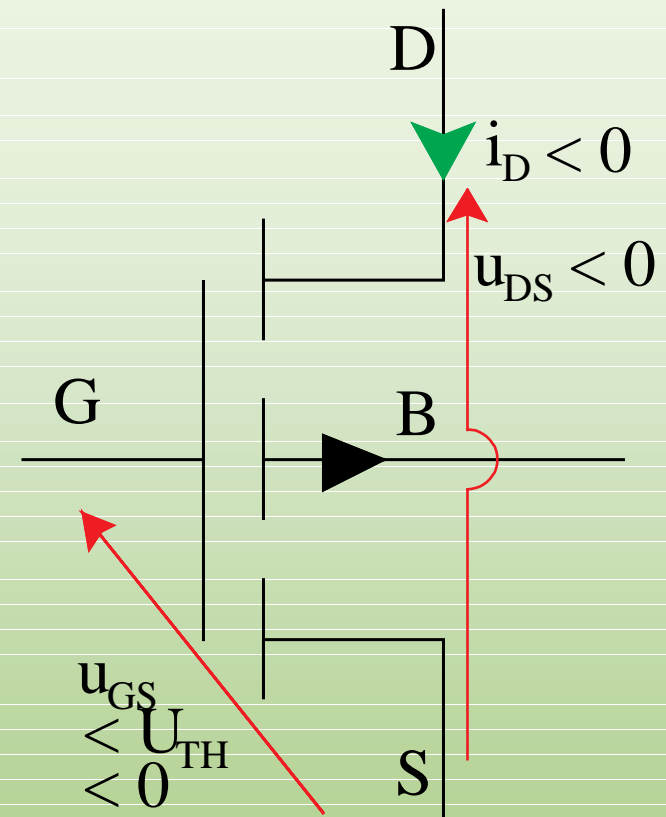
$i_D(u_{GS})$ est une parabole, ce qui limite le domaine linéaire.

Symboles des MOS à enrichissement (FET de type C)

• Canal N



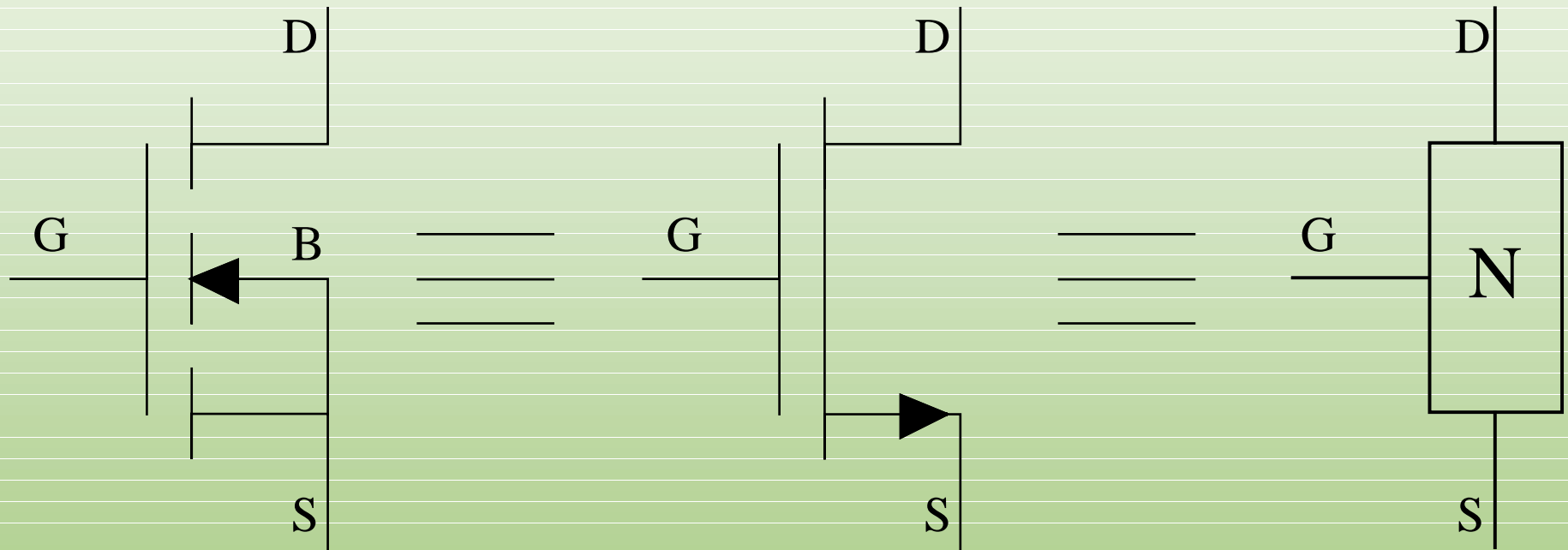
• Canal P



La flèche indique le sens passant de la diode substrat-canal

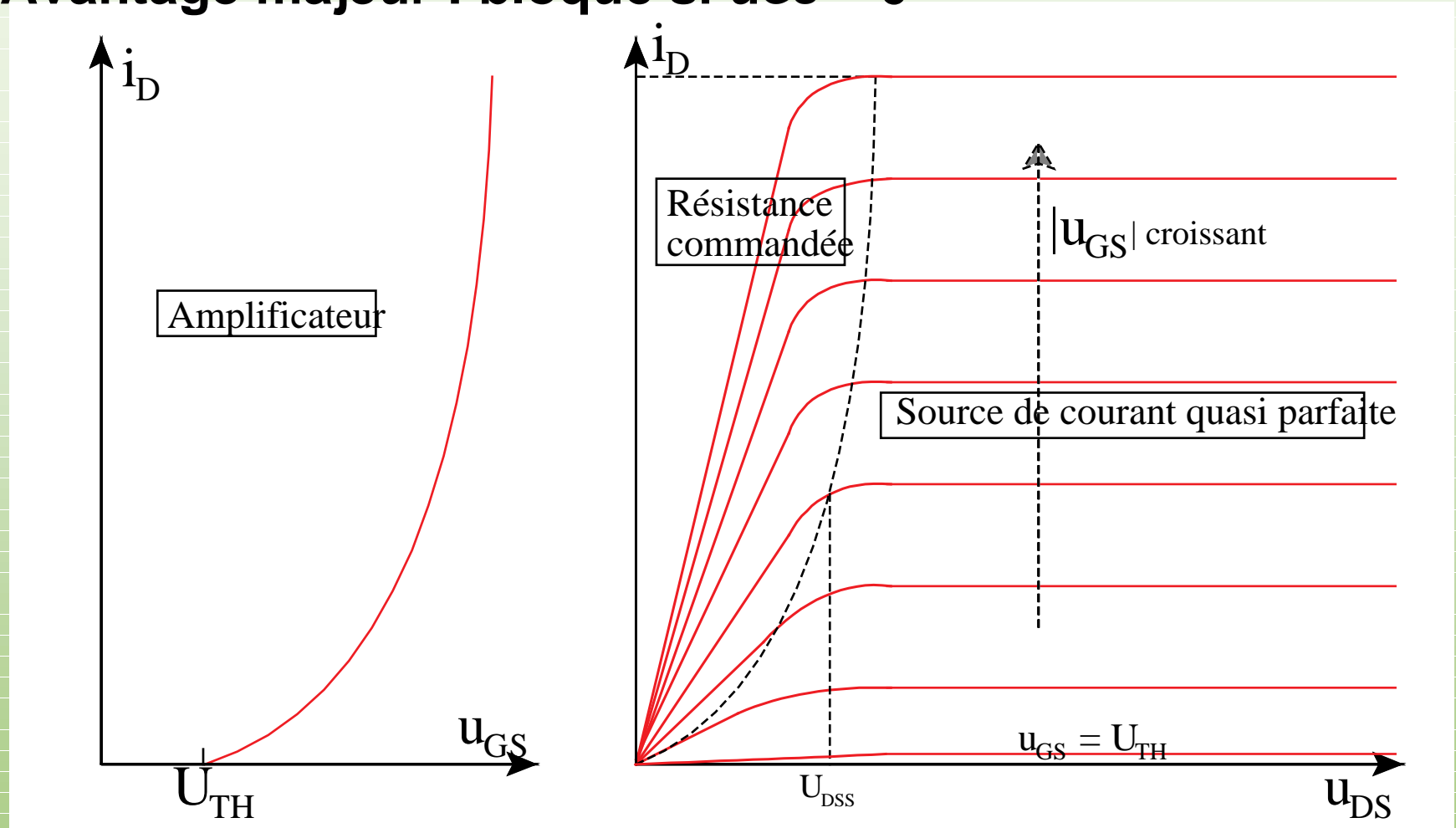
Symboles usuel du NMOS de type C

- 1er symbole : Le bulk est le plus souvent relié au drain
- Le 2ème symbole suppose le canal enrichi et pincé
- Le 3ème symbole, utilisé en logique, assimile le MOS à une résistance infinie (bloqué) ou faible (passant)



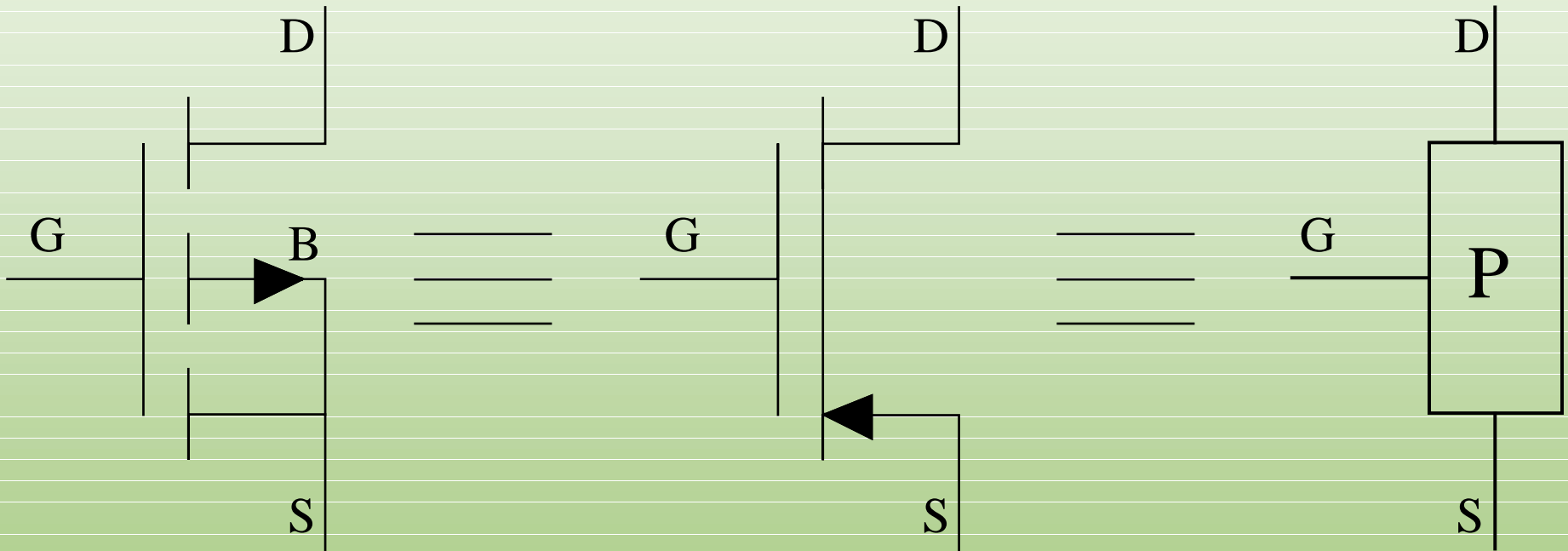
Caractéristique du NMOS de type C

- **Avantage majeur : bloqué si $u_{GS} = 0$**



Symboles usuel du PMOS de type C

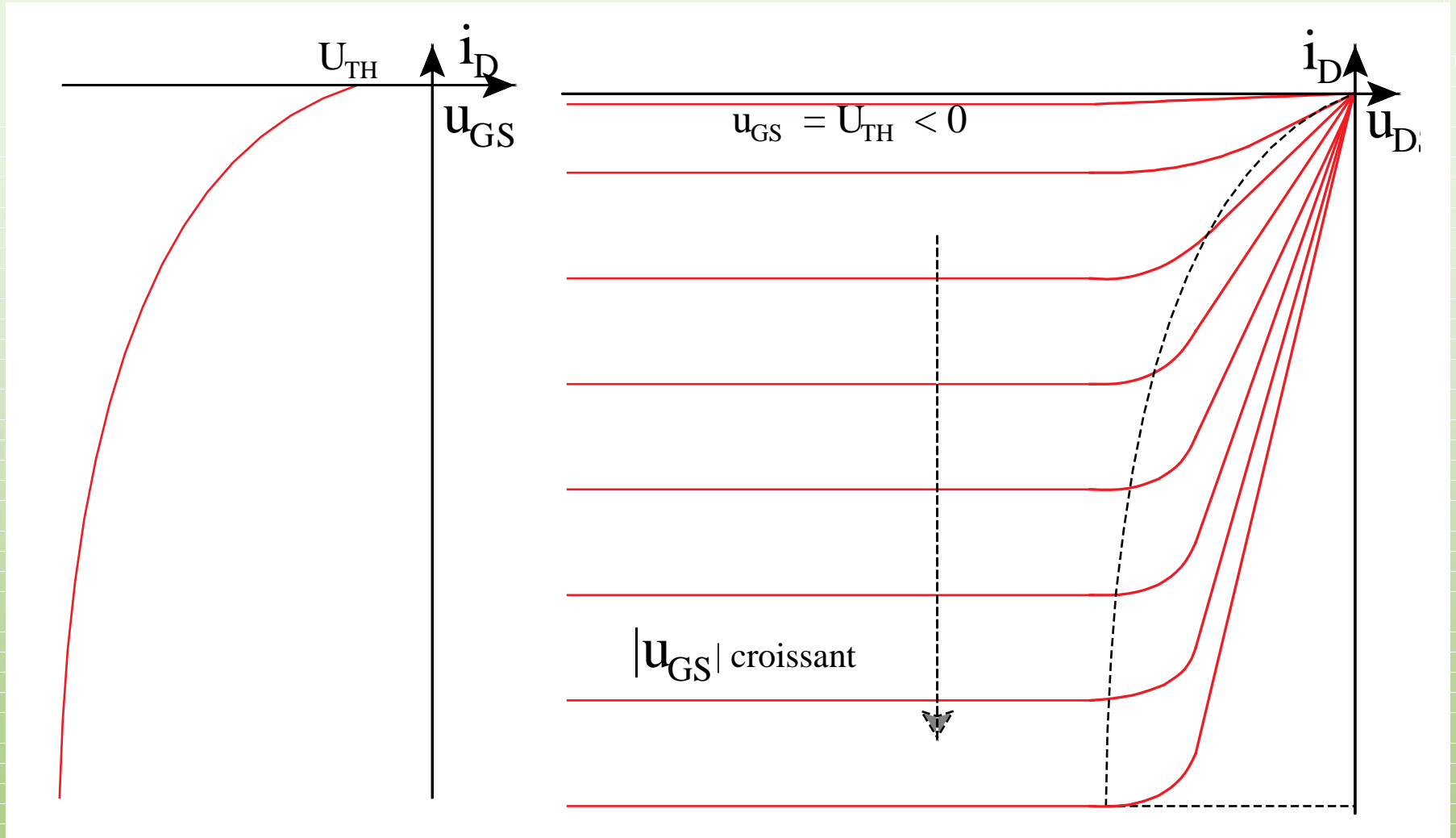
- **Même remarques que pour le NMOS :**
 - le plus souvent $B = S$ et le canal est enrichi, pincé
 - en logique, il est commode d'assimiler le MOS à une résistance



Toutes les variables (i_D , u_{DS} , u_{GS}) sont négatives

Caractéristique du PMOS de type C

- Les variables sont négatives



Utilisations des MOS à enrichissement

- **Interrupteur**

- C'est la principale utilisation des MOS. Si $u_{DS} > U_{TH}$:
 $u_{GS} < U_{TH} \Leftrightarrow$ MOS bloqué $\Leftrightarrow i_D \sim 0$ (le blocage est excellent)
 $u_{GS} > U_{TH} \Leftrightarrow$ MOS passant $\Leftrightarrow i_D = I_{DSS} = cte$

- **Amplificateur**

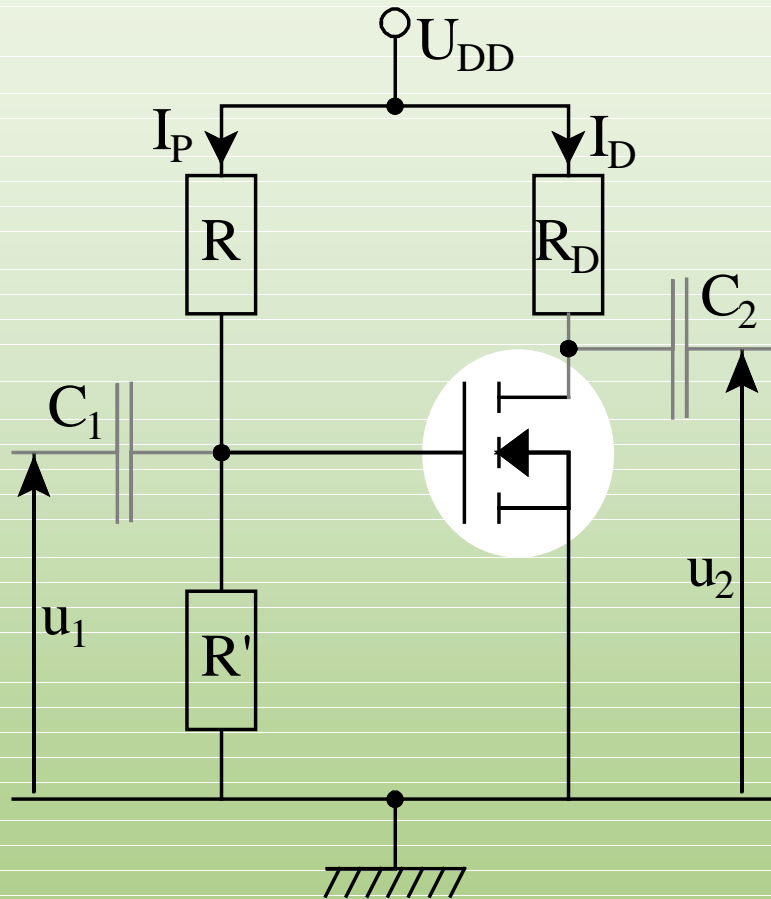
- La capacité de la grille limite la bande passante du système.
Les progrès actuels repoussent toujours plus loin ce défaut.

- **Résistance commandée**

- R_{DS} est beaucoup plus grande dans un MOS que dans un JFET, aussi ce dernier sera souvent préféré pour cette application.

Amplificateur à MOS

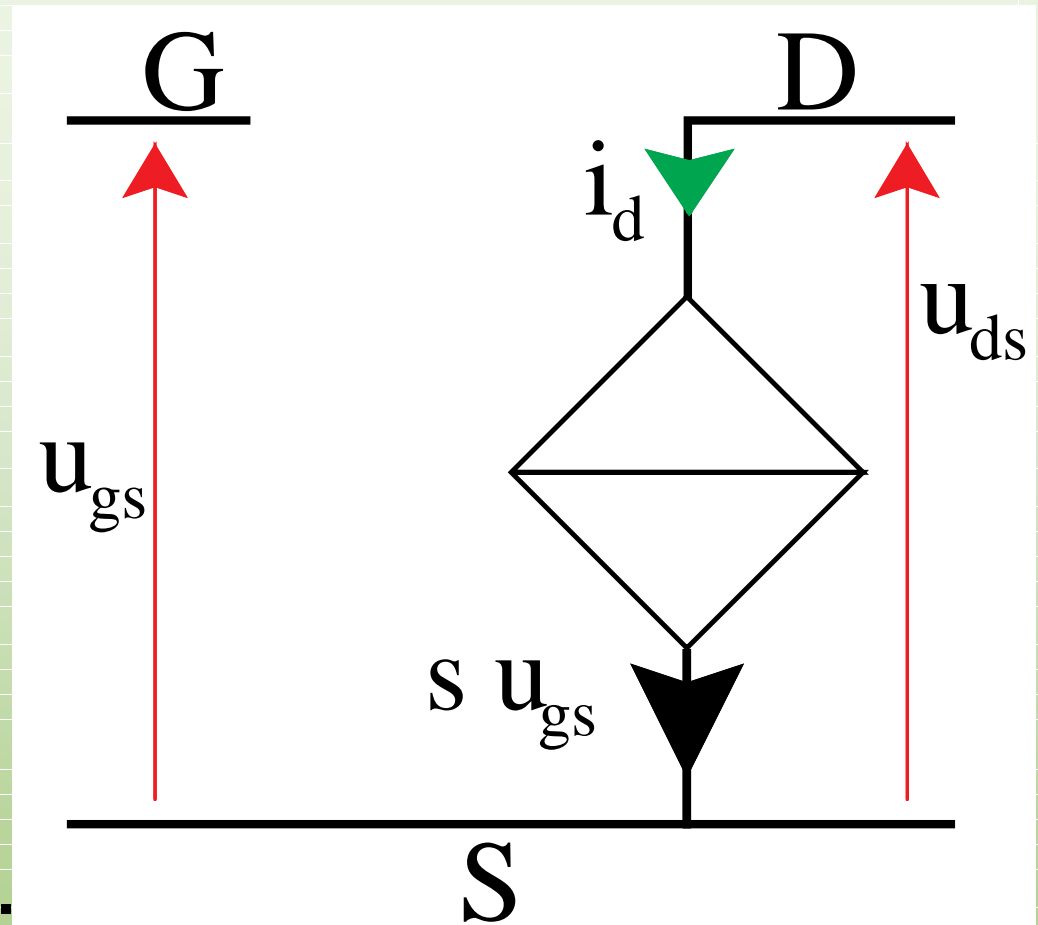
- Le montage à drain commun est le seul intéressant.



Le pont de grille est en sortie ouverte pour le continu. Il fixe U_{GS} au niveau souhaité.

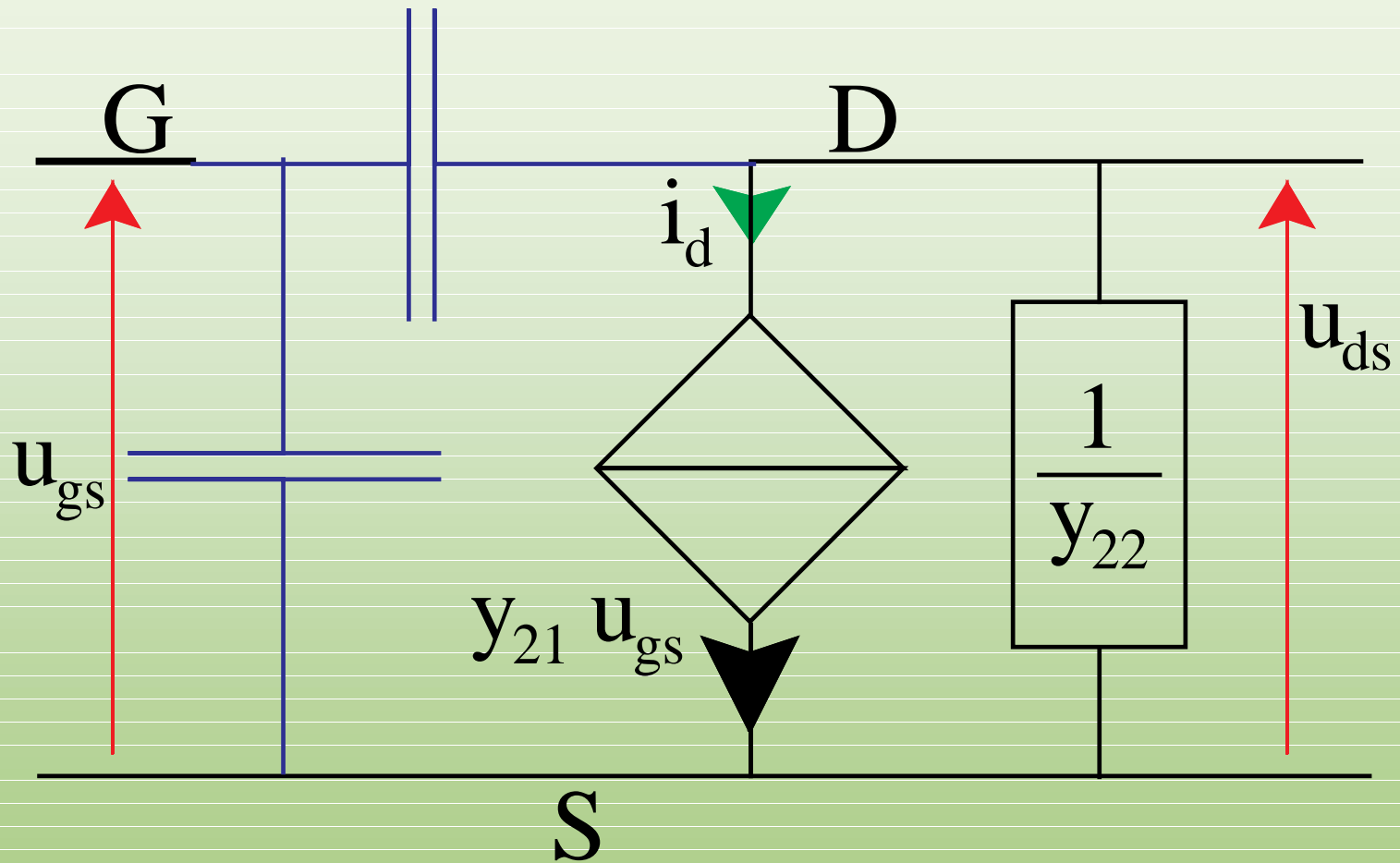
Le schéma équivalent en petits signaux est le même pour tous les FET

- La capacité MOS est assimilable à un circuit ouvert en entrée.
- Les paramètres peuvent s'exprimer sous la forme d'une matrice y .
- i_D augmente faiblement avec u_{DS} , ce qui peut être modélisé par une résistance de sortie en parallèle sur le générateur.



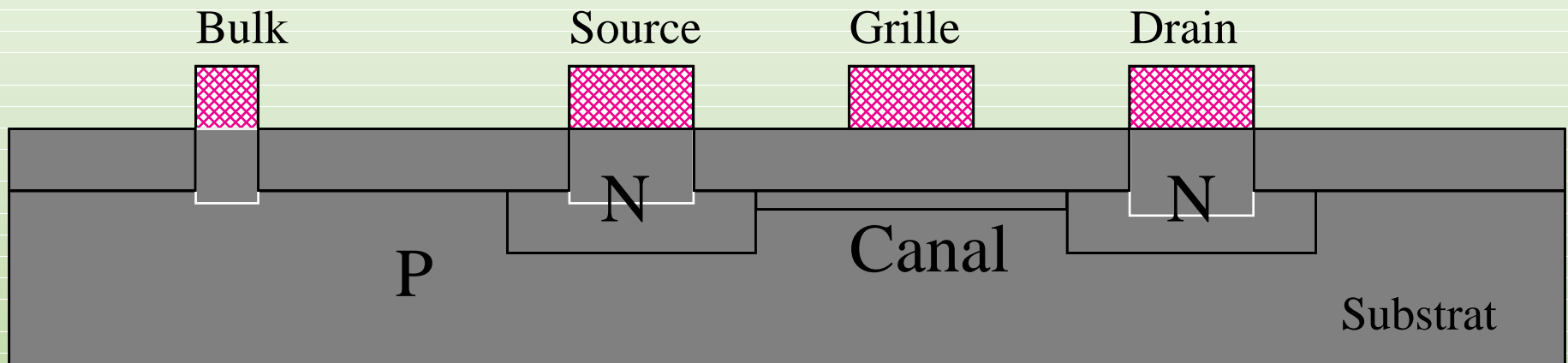
A haute fréquence, le condensateur MOS reprend ses droits.

- Il faut alors en tenir compte.



Le MOS à appauvrissement (FET de type B)

- Fonctionne sur le même principe qu'un type C
Le canal est préimplanté à la fabrication
- Donc ce MOS conduit par défaut ($u_{GD} = 0$)



■ Isolant (Silice SiO₂)

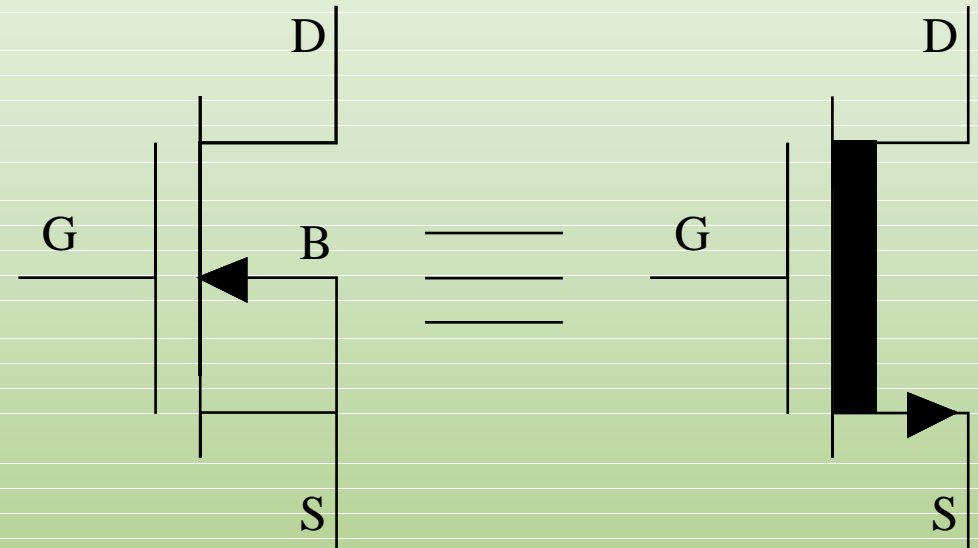
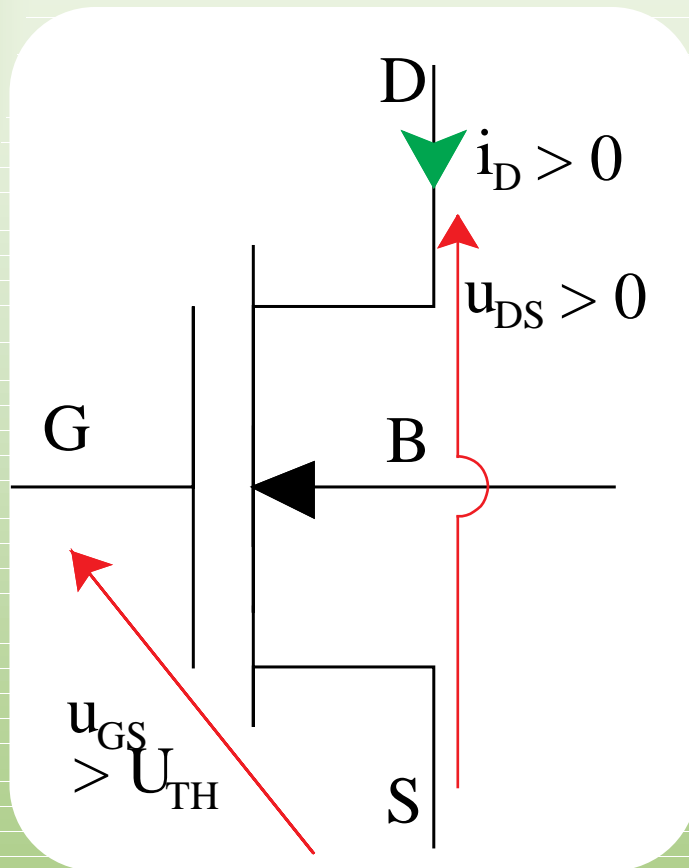
■ Métal

■ Semiconducteur dopé P

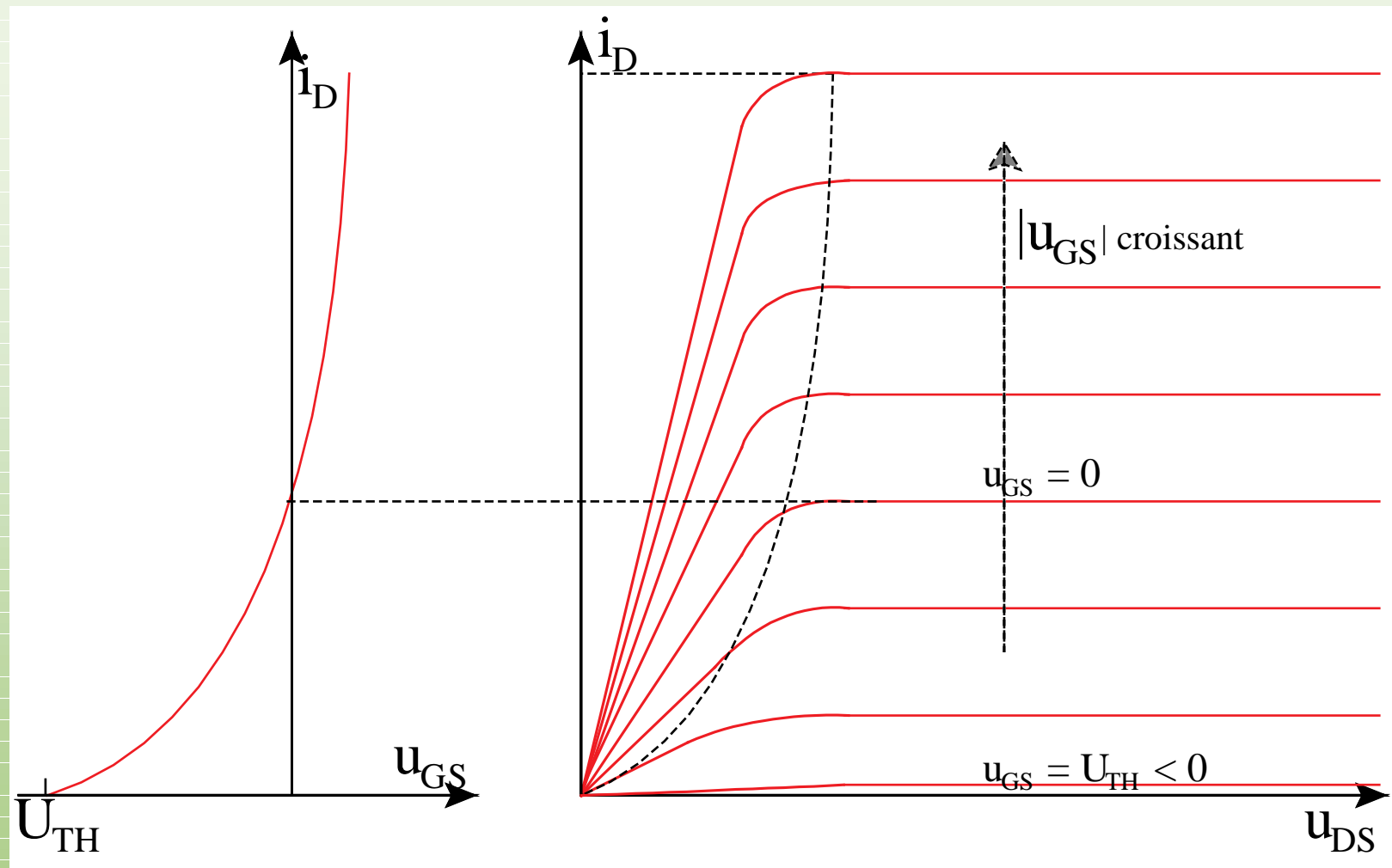
■ Semiconducteur dopé N

Symboles du NMOS à appauvrissement

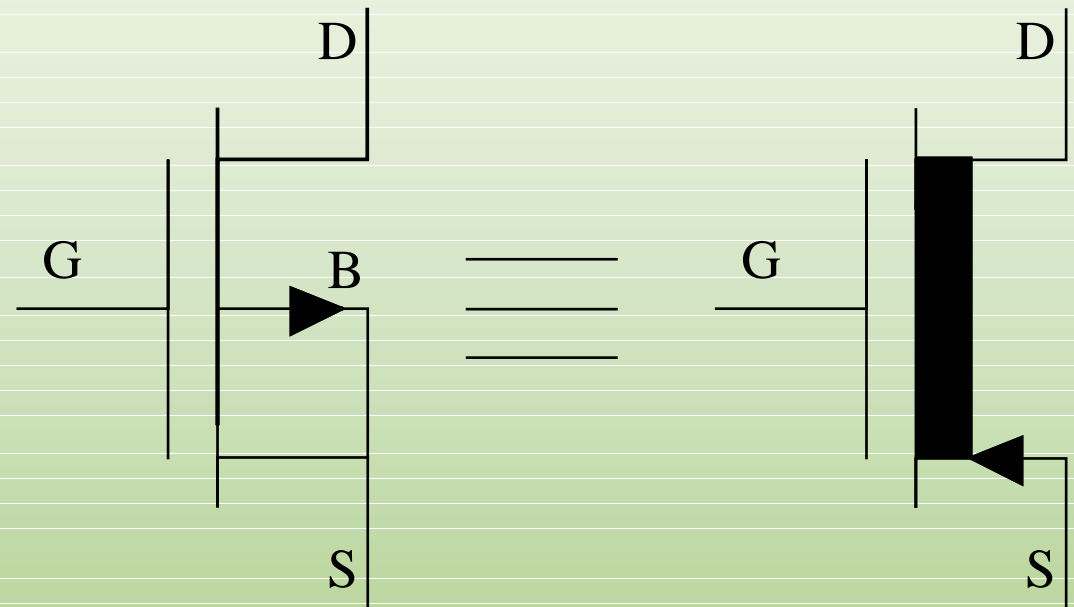
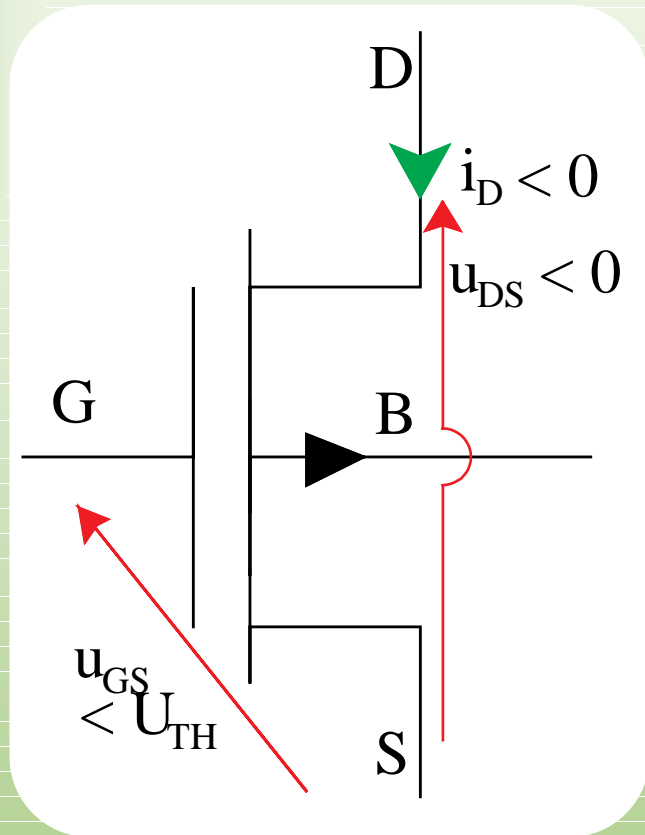
- Les symboles manifestent la continuité du canal à $u_{GS} = 0$.



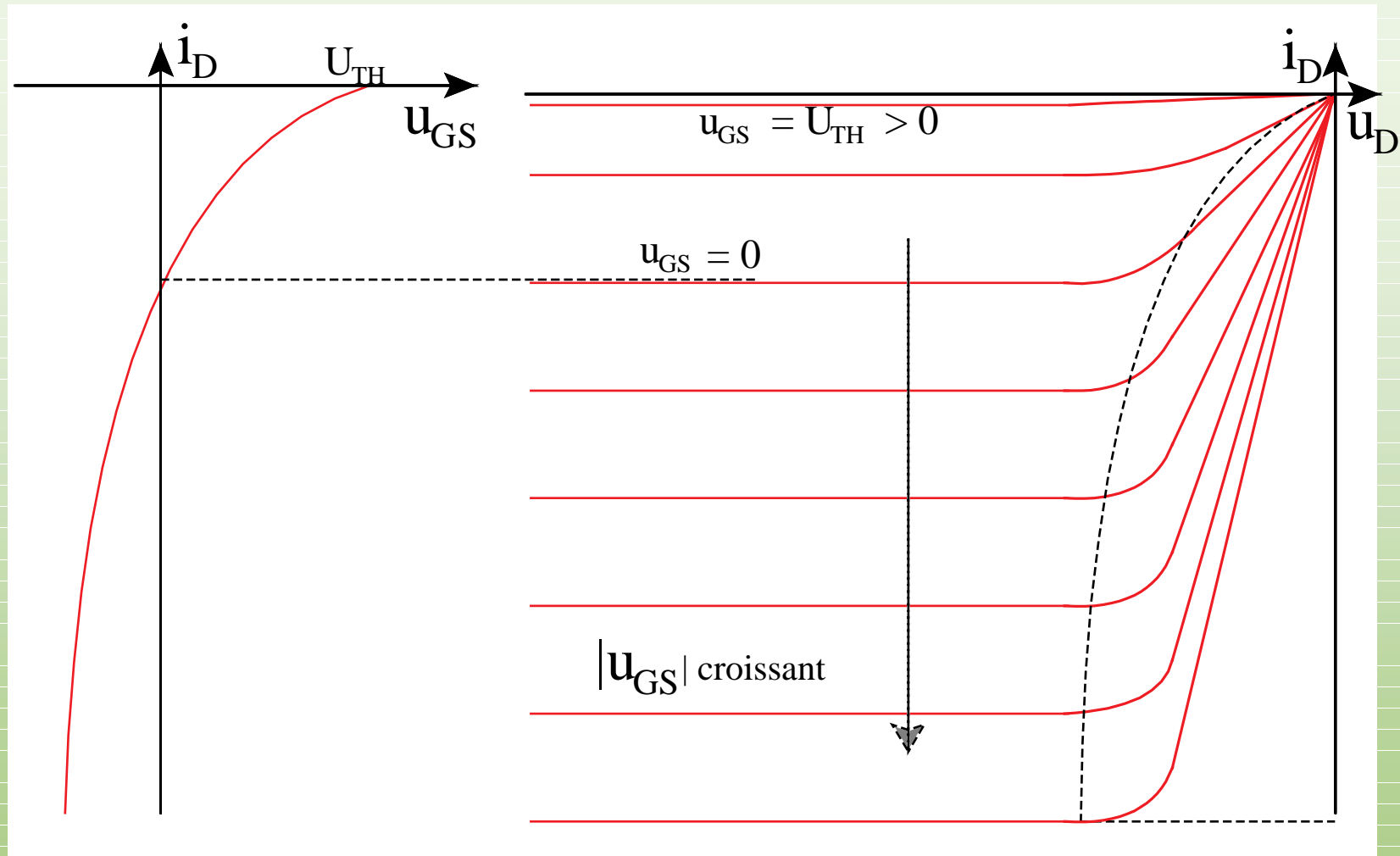
Caractéristiques du NMOS à appauvrissement



Symboles du PMOS à appauvrissement



Caractéristiques du NMOS à appauvrissement

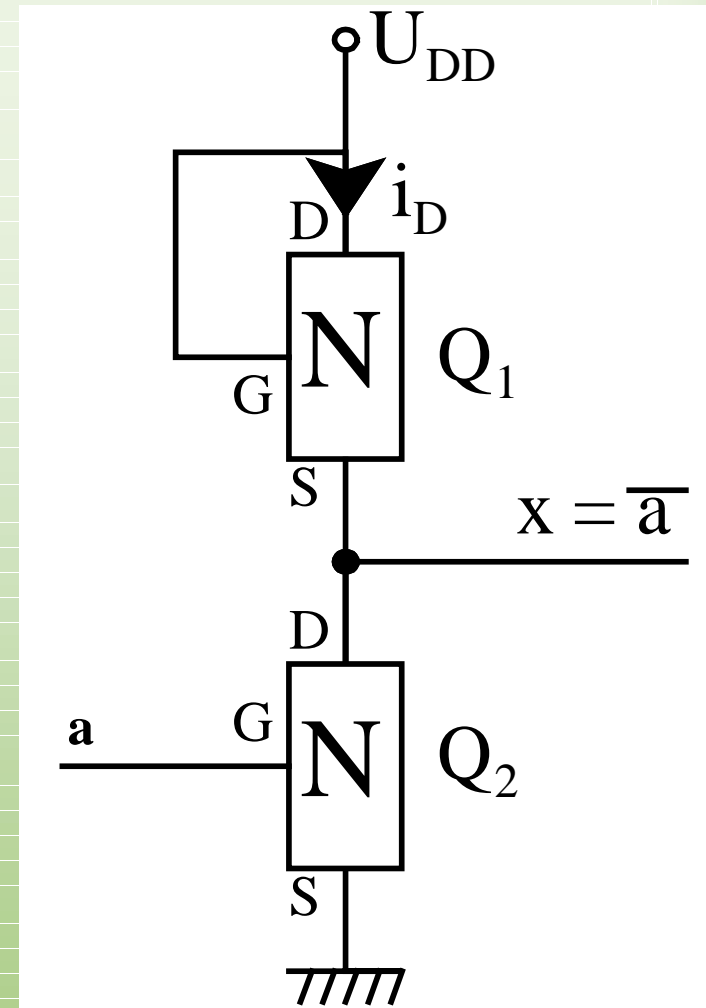
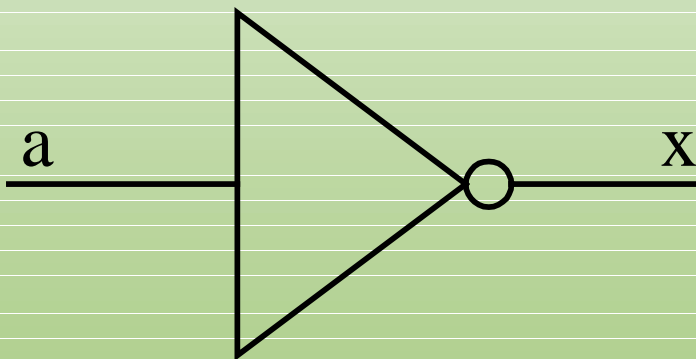


Les portes logiques à base de MOS (C)

- L'immense majorité des transistors MOS est utilisée dans les circuits logiques à haute intégration (VLSI).
- Les avantages des MOS en logique sont nombreux :
 - "Faciles" à intégrer à la surface des wafer
 - Peuvent servir de résistors, de condensateurs ou d'interrupteurs
Il n'y a pas de composant ajouté dans une porte MOS
 - Donc les portes MOS prennent moins de place que les TTL, à base de bipolaires
 - L'impédance d'entrée très grande des MOS permet à une seule porte de commander beaucoup d'autres portes
 - **La moindre électricité statique détruit cette impédance**
 - Les porte CMOS (Coupled MOS) ne consomme pas de courant au repos

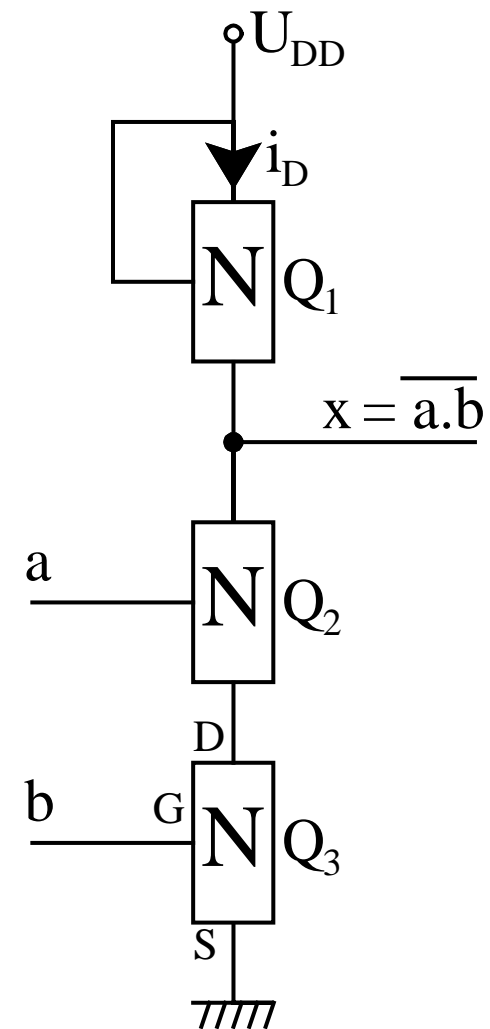
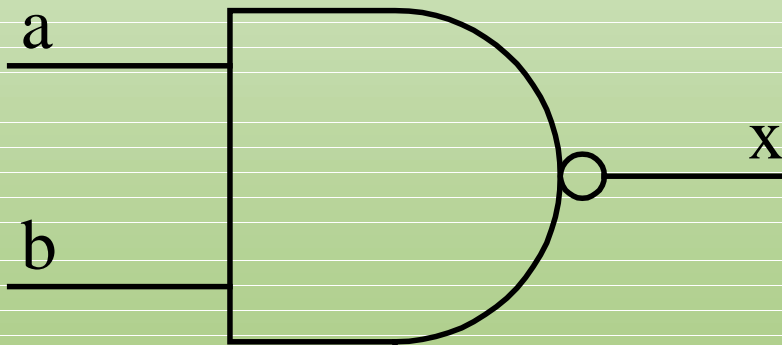
L'inverseur MOS

- Q1 est typiquement une "résistance"
 $U_{GS1} = U_{DD}$, donc Q1 est toujours passant
- Q1 et Q2 forment un pont diviseur dissymétrique.
- Par construction :
 $R_{Q1 \text{ passant}} \gg R_{Q2 \text{ passant}}$
et $R_{Q1 \text{ passant}} \ll R_{Q2 \text{ bloqué}}$



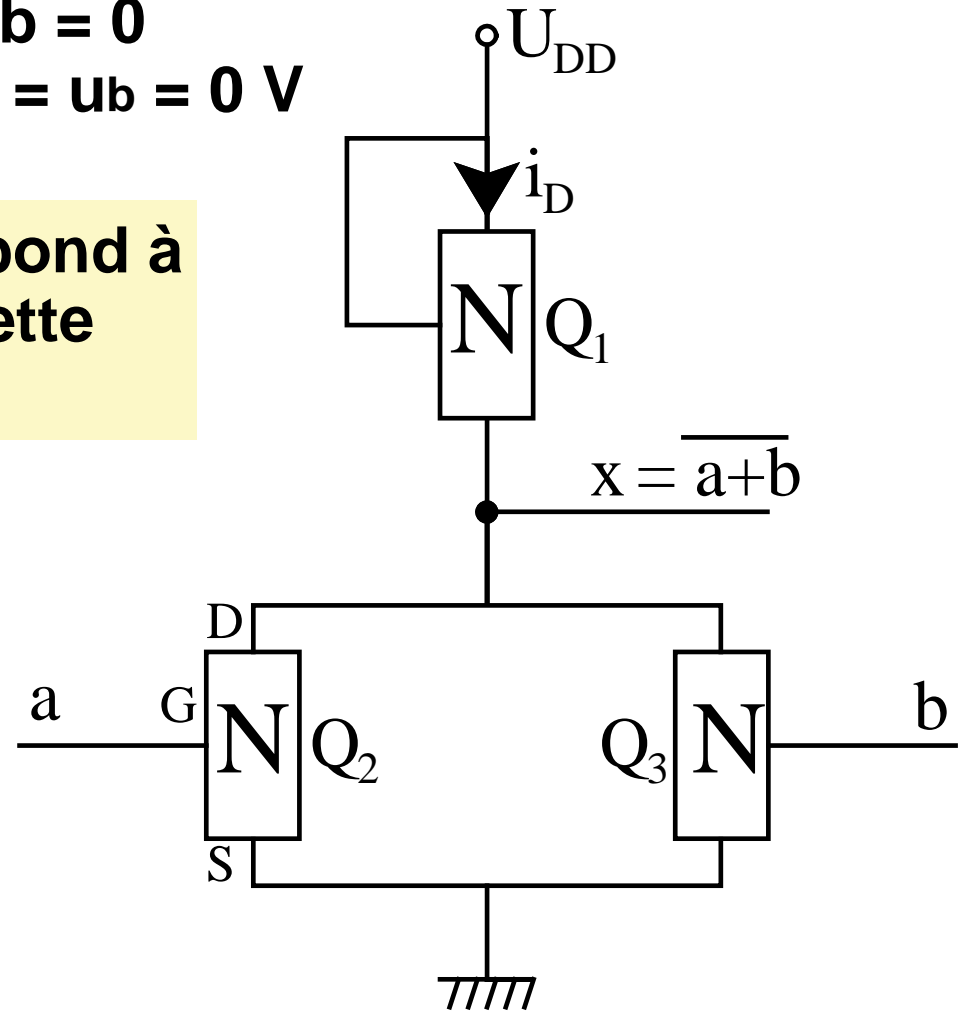
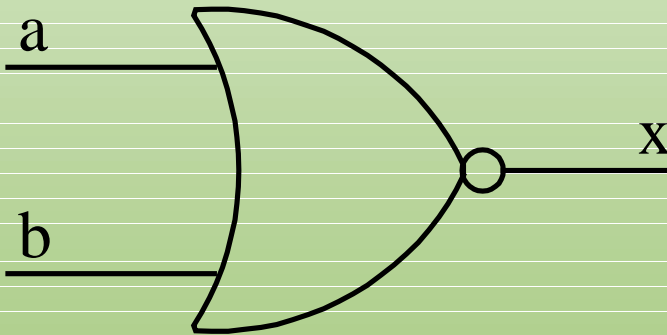
Le NAND MOS

- $x = 0$ si et seulement si $a = b = 1$
 $u_x = 0 \text{ V}$ si et seulement si $u_a = u_b = U_{DD}$
- Un 0 sur une borne correspond à un quasi-circuit de cette borne à la masse à travers un transistor passant



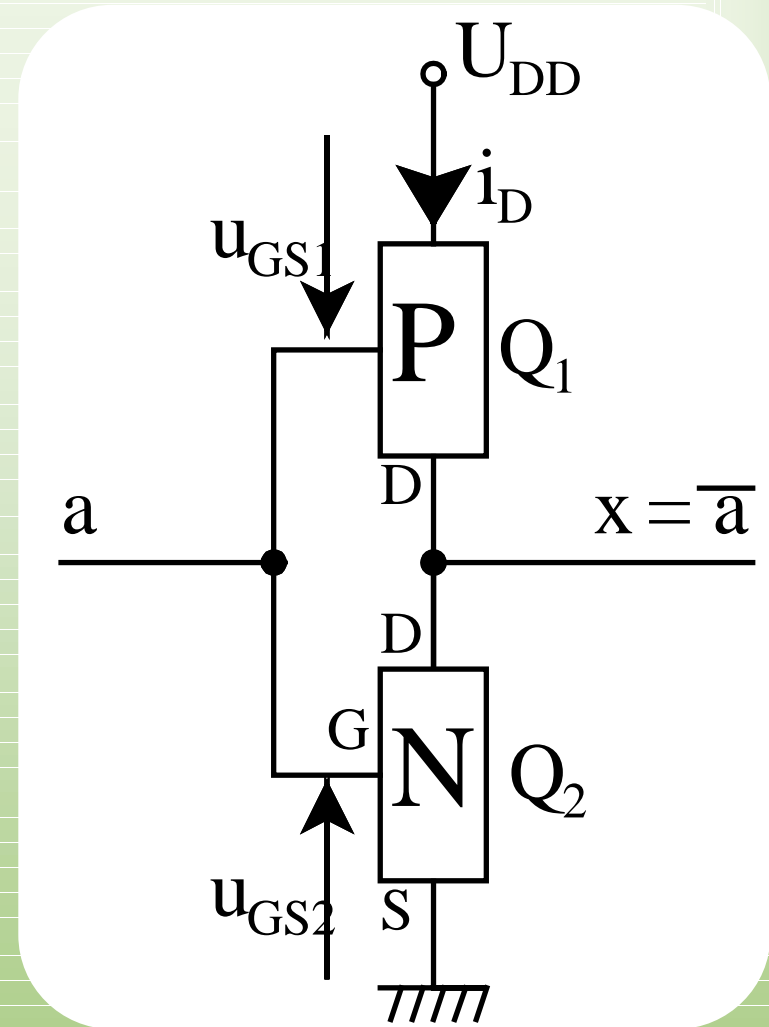
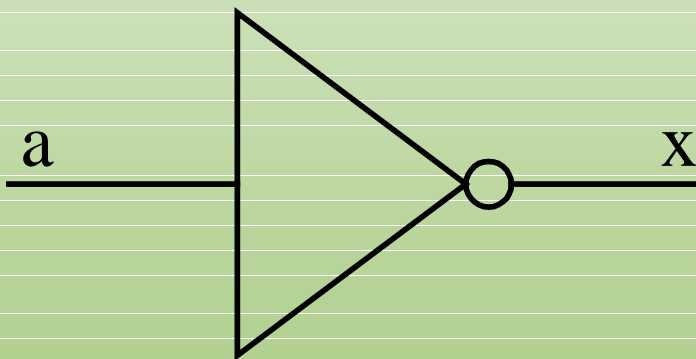
Le NOR MOS

- $x = 1$ si et seulement si $a = b = 0$
 $u_x = U_{DD}$ si et seulement si $u_a = u_b = 0$ V
- Un 1 sur une borne correspond à un quasi-court-circuit de cette borne à l'alimentation.



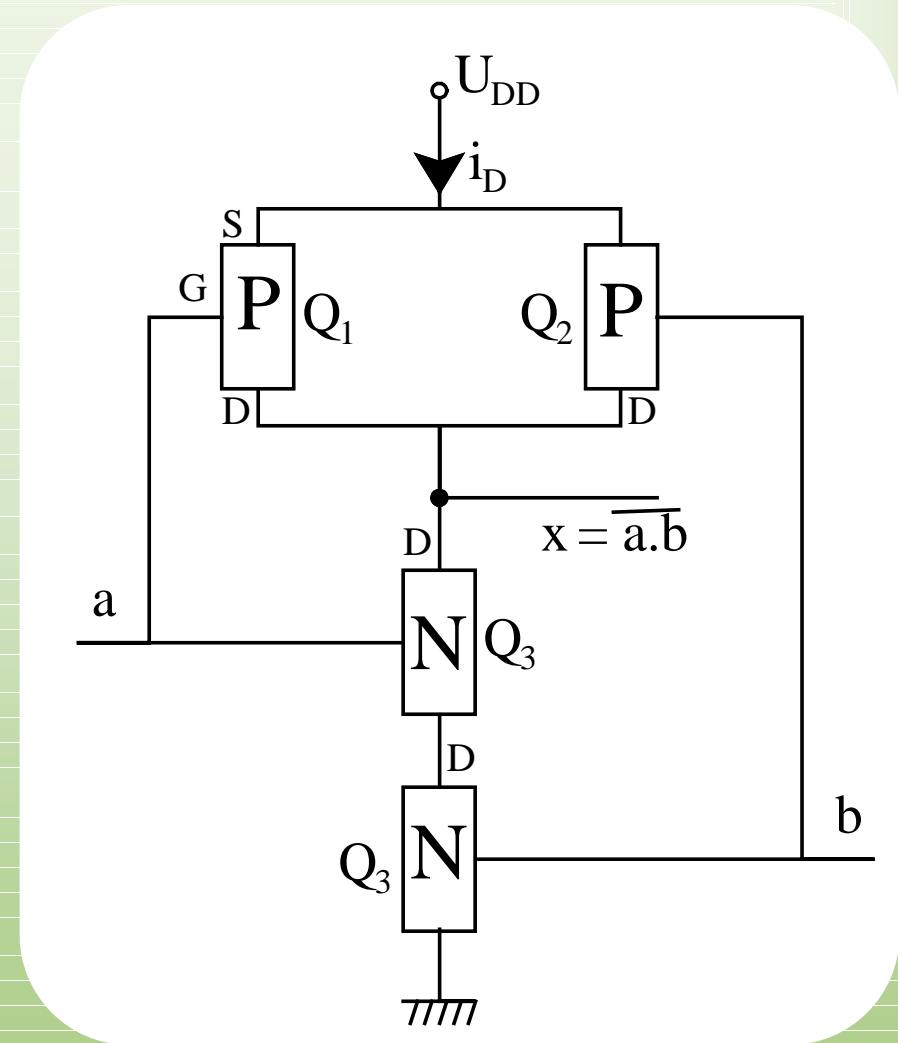
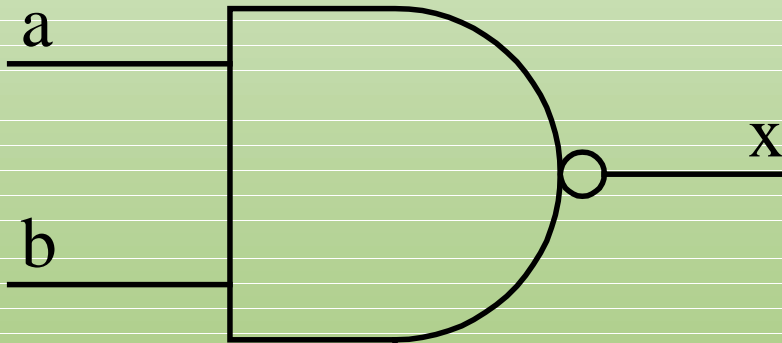
L'inverseur CMOS

- Ici les géométrie des MOS sont identiques, mais leurs dopages opposés.
- Quelque soit u_a (0 ou U_{DD}) un des MOS est bloqué et l'autre passant



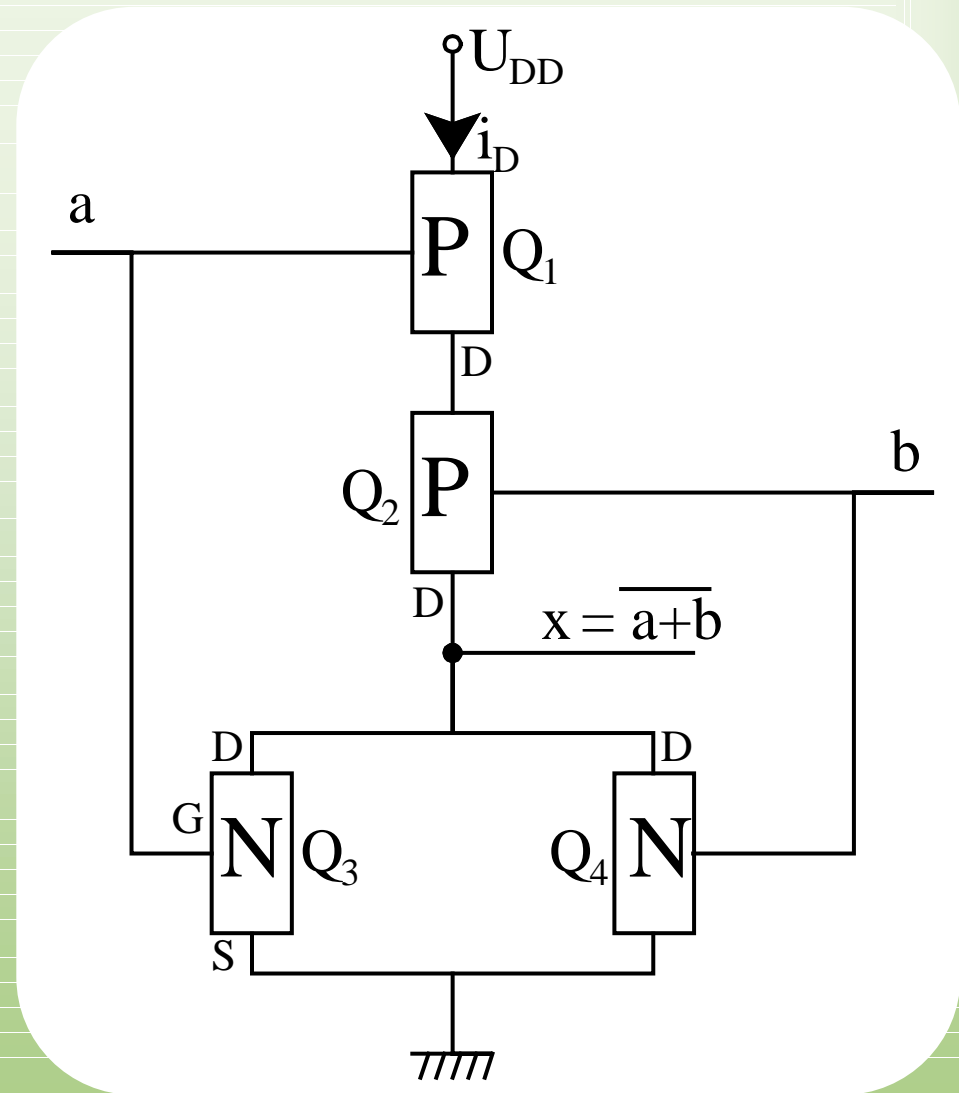
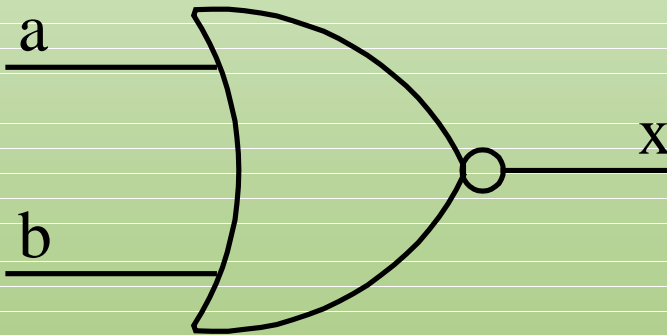
Le NAND CMOS

- La partie haute de la porte est bloquée ssi $u_a = u_b = U_{DD}$.
- Dans ce cas, la partie basse est passant et $u_x = 0 \text{ V}$



Le NOR CMOS

- La partie basse de la porte est bloquée ssi $u_a = u_b = 0$.
- Dans ce cas, la partie haute est passante et $u_x = U_{DD}$



Avantages spécifiques des CMOS

- **La tension d'alimentation peut être choisie entre 3 et 15 V**
- **La consommation de courant au repos est quasi-nulle**
- **Seul une commutation consomme du courant**
- **Donc l'augmentation de la fréquence d'horloge augmente la puissance dissipée**
- **Toutes les porte MOS ou CMOS sont très fragiles face à l'électricité statique (ou le erreurs de branchement). Une entrée de porte ne doit jamais être flotante.**